

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

15562507

Basic Patent (No,Kind,Date): JP 11307783 A2 19991105 <No. of Patents: 002 >

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): YAMAZAKI SHUNPEI; OTANI HISASHI

IPC: *H01L-029/786; H01L-021/20; H01L-021/336

CA Abstract No: 131(23)316636B

Derwent WPI Acc No: C 00-109129

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 11307783	A2	19991105	JP 9937490	A	19990216 (BASIC)
US 6444390	BA	20020903	US 251384	A	19990217

Priority Data (No,Kind,Date):

JP 9937490 A 19990216

JP 9852851 A 19980218

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

06366172 **Image available**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: 11-307783 [JP 11307783 A]

PUBLISHED: November 05, 1999 (19991105)

INVENTOR(s): YAMAZAKI SHUNPEI

OTANI HISASHI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 11-037490 [JP 9937490]

FILED: February 16, 1999 (19990216)

PRIORITY: 52851 [JP 9852851], JP (Japan), February 18, 1998 (19980218)

INTL CLASS: H01L-029/786; H01L-021/20; H01L-021/336

ABSTRACT

PROBLEM TO BE SOLVED: To manufacture a semiconductor thin film having high crystallinity so as not to cause an abnormal growth of oxidation silicon by a method wherein an element selected from 14 groups is utilized as a catalyst element to crystallize an amorphous semiconductor thin film, and a heating is performed for a polycrystalline semiconductor thin film at a temperature more than a heating temperature when crystallized.

SOLUTION: An amorphous silicon film 102 is directly formed on a substrate 101. A crystallizing step of the amorphous silicon film 102 is performed, and germanium is used as a catalyst element promoting a crystallization. A germanium film 103 is formed on the formed amorphous silicon film 102. Heating is performed to crystallize an amorphous silicon film. The germanium film remaining on a polysilicon film 104 is removed, and a heating is performed for the polysilicon film 104 at a temperature more than a crystallizing temperature, to form a polysilicon film 105. Thus, it is possible that an abnormal growth of a silicon oxidation never occur.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-307783

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L	29/786	H 0 1 L	29/78
	21/20		21/20
	21/336		29/78
			6 1 8 G
			6 1 8 Z
			6 2 7 G

審査請求 未請求 請求項の数21 O L (全 17 頁)

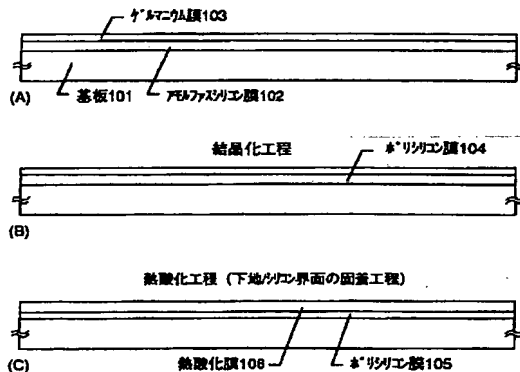
(21) 出願番号	特願平11-37490	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成11年(1999) 2月16日	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
(31) 優先権主張番号	特願平10-52851	(72) 発明者	大谷 久 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
(32) 優先日	平10(1998) 2月18日		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 結晶性の高い半導体薄膜を作製する方法を提供する。

【解決手段】 アモルファスシリコン膜102上にゲルマニウム膜103を成膜した状態で、450～600℃の第1の加熱処理(結晶化工程)を行う。次に、この結晶化工程で得られたポリシリコン膜104に対して、前記結晶化温度以上の温度(800～1050℃)で第2の加熱処理を行う。この工程により下地/シリコン界面が固着され、結晶粒内に欠陥を殆ど含まないポリシリコン膜105を得ることができる。



【特許請求の範囲】

【請求項1】絶縁表面を有する基板上に形成された複数のTF Tで構成した回路を構成に含む半導体装置であって、
前記複数のTF Tのチャネル形成領域はポリシリコン膜からなり、
前記ポリシリコン膜は結晶粒界において90%以上の結晶格子に連続性を有し、且つ、 $1 \times 10^{14} \sim 5 \times 10^{14}$ atom s/cm² の濃度で14族から選ばれた元素を含んでいることを特徴とする半導体装置。

【請求項2】絶縁表面を有する基板上に形成された複数のTF Tで構成した回路を構成に含む半導体装置であって、
前記複数のTF Tのチャネル形成領域はポリシリコン膜からなり、
前記ポリシリコン膜は結晶粒界を横切る様にして観測される格子縞の90%以上が前記結晶粒界を形成する結晶粒間で直線的に連続し、且つ、 $1 \times 10^{14} \sim 5 \times 10^{14}$ atom s/cm² の濃度で14族から選ばれた元素を含んでいることを特徴とする半導体装置。

【請求項3】請求項1または請求項2において、前記14族から選ばれた元素とはゲルマニウムであることを特徴とする半導体装置。

【請求項4】請求項1または請求項2において、前記ポリシリコン膜の膜厚は5～50nmであることを特徴とする半導体装置。

【請求項5】基板上にアモルファスシリコン膜を形成する工程と、

前記アモルファスシリコン膜上に14族から選ばれた元素からなる薄膜を形成する工程と、

第1の加熱処理により前記アモルファスシリコン膜を結晶化させ、ポリシリコン膜に変成させる工程と、

前記ポリシリコン膜に対して第2の加熱処理を行う工程と、

を有し、

前記第2の加熱処理は前記第1の加熱処理よりも高い温度で行われることを特徴とする半導体装置の作製方法。

【請求項6】基板上にアモルファスシリコン膜を形成する工程と、

前記アモルファスシリコン膜上に開口部を有する絶縁膜を形成する工程と、

前記絶縁膜及び前記開口部を覆って14族から選ばれた元素からなる薄膜を形成する工程と、

第1の加熱処理により前記アモルファスシリコン膜の一部を結晶化させ、ポリシリコン膜に変成させる工程と、

前記ポリシリコン膜に対して第2の加熱処理を行う工程と、

を有し、

前記第2の加熱処理は前記第1の加熱処理よりも高い温度で行われることを特徴とする半導体装置の作製方法。

【請求項7】基板上にアモルファスシリコン膜を形成する工程と、

前記アモルファスシリコン膜に対して14族から選ばれた元素を添加する工程と、

第1の加熱処理により前記アモルファスシリコン膜を結晶化させ、ポリシリコン膜に変成させる工程と、

前記ポリシリコン膜に対して第2の加熱処理を行う工程と、

を有し、

10 前記第2の加熱処理は前記第1の加熱処理よりも高い温度で行われることを特徴とする半導体装置の作製方法。

【請求項8】基板上にアモルファスシリコン膜を形成する工程と、

前記アモルファスシリコン膜上に開口部を有する絶縁膜を形成する工程と、

前記開口部で露出した前記アモルファスシリコン膜に対して14族から選ばれた元素を添加する工程と、

第1の加熱処理により前記アモルファスシリコン膜の一部を結晶化させ、ポリシリコン膜に変成させる工程と、

20 前記ポリシリコン膜に対して第2の加熱処理を行う工程と、

を有し、

前記第2の加熱処理は前記第1の加熱処理よりも高い温度で行われることを特徴とする半導体装置の作製方法。

【請求項9】基板上にアモルファスシリコン膜を形成する工程と、

14族から選ばれた元素を含む溶液を塗布し、当該溶液をスピン乾燥して前記アモルファスシリコン膜上に14族から選ばれた元素を含む層を形成する工程と、

30 第1の加熱処理により前記アモルファスシリコン膜を結晶化させ、ポリシリコン膜に変成させる工程と、

前記ポリシリコン膜に対して第2の加熱処理を行う工程と、

を有し、

前記第2の加熱処理は前記第1の加熱処理よりも高い温度で行われることを特徴とする半導体装置の作製方法。

【請求項10】基板上にアモルファスシリコン膜を形成する工程と、

前記アモルファスシリコン膜上に開口部を有する絶縁膜を形成する工程と、

14族から選ばれた元素を含む溶液を塗布し、当該溶液をスピン乾燥して前記開口部で露出した前記アモルファスシリコン膜上に14族から選ばれた元素を含む層を形成する工程と、

第1の加熱処理により前記アモルファスシリコン膜の一部を結晶化させ、ポリシリコン膜に変成させる工程と、

前記ポリシリコン膜に対して第2の加熱処理を行う工程と、

を有し、

50 前記第2の加熱処理は前記第1の加熱処理よりも高い温

度で行われることを特徴とする半導体装置の作製方法。

【請求項11】基板上にアモルファスシリコン膜を形成する工程と、

前記アモルファスシリコン膜上に14族から選ばれた元素からなる薄膜を形成する工程と、

第1の加熱処理により前記アモルファスシリコン膜を結晶化させ、ポリシリコン膜に変成させる工程と、

前記ポリシリコン膜に対して第2の加熱処理を行う工程と、

を有し、

前記第1の加熱処理は450～600℃で行われ、前記第2の加熱処理は800～1050℃で行われることを特徴とする半導体装置の作製方法。

【請求項12】基板上にアモルファスシリコン膜を形成する工程と、

前記アモルファスシリコン膜上に開口部を有する絶縁膜を形成する工程と、

前記絶縁膜及び前記開口部を覆って14族から選ばれた元素からなる薄膜を形成する工程と、

第1の加熱処理により前記アモルファスシリコン膜の一部を結晶化させ、ポリシリコン膜に変成させる工程と、

前記ポリシリコン膜に対して第2の加熱処理を行う工程と、

を有し、

前記第1の加熱処理は450～600℃で行われ、前記第2の加熱処理は800～1050℃で行われることを特徴とする半導体装置の作製方法。

【請求項13】基板上にアモルファスシリコン膜を形成する工程と、

前記アモルファスシリコン膜に対して14族から選ばれた元素を添加する工程と、

第1の加熱処理により前記アモルファスシリコン膜を結晶化させ、ポリシリコン膜に変成させる工程と、

前記ポリシリコン膜に対して第2の加熱処理を行う工程と、

を有し、

前記第1の加熱処理は450～600℃で行われ、前記第2の加熱処理は800～1050℃で行われることを特徴とする半導体装置の作製方法。

【請求項14】基板上にアモルファスシリコン膜を形成する工程と、

前記アモルファスシリコン膜上に開口部を有する絶縁膜を形成する工程と、

前記開口部で露出した前記アモルファスシリコン膜に対して14族から選ばれた元素を添加する工程と、

第1の加熱処理により前記アモルファスシリコン膜の一部を結晶化させ、ポリシリコン膜に変成させる工程と、

前記ポリシリコン膜に対して第2の加熱処理を行う工程と、

を有し、

前記第1の加熱処理は450～600℃で行われ、前記第2の加熱処理は800～1050℃で行われることを特徴とする半導体装置の作製方法。

【請求項15】基板上にアモルファスシリコン膜を形成する工程と、

14族から選ばれた元素を含む溶液を塗布し、当該溶液をスピン乾燥して前記アモルファスシリコン膜上に14族から選ばれた元素を含む層を形成する工程と、

第1の加熱処理により前記アモルファスシリコン膜を結晶化させ、ポリシリコン膜に変成させる工程と、

前記ポリシリコン膜に対して第2の加熱処理を行う工程と、

を有し、

前記第1の加熱処理は450～600℃で行われ、前記第2の加熱処理は800～1050℃で行われることを特徴とする半導体装置の作製方法。

【請求項16】基板上にアモルファスシリコン膜を形成する工程と、

前記アモルファスシリコン膜上に開口部を有する絶縁膜を形成する工程と、

14族から選ばれた元素を含む溶液を塗布し、当該溶液をスピン乾燥して前記開口部で露出した前記アモルファスシリコン膜上に14族から選ばれた元素を含む層を形成する工程と、

第1の加熱処理により前記アモルファスシリコン膜の一部を結晶化させ、ポリシリコン膜に変成させる工程と、

前記ポリシリコン膜に対して第2の加熱処理を行う工程と、

を有し、

前記第1の加熱処理は450～600℃で行われ、前記第2の加熱処理は800～1050℃で行われることを特徴とする半導体装置の作製方法。

【請求項17】請求項5乃至請求項16において、前記第2の加熱処理はハロゲン元素を含む雰囲気中において行われることを特徴とする半導体装置の作製方法。

【請求項18】請求項5、6、11または12のいずれかにおいて、前記14族から選ばれた元素からなる薄膜はプラズマCVD法、減圧熱CVD法、蒸着法またはスパッタ法により形成されることを特徴とする半導体装置の作製方法。

【請求項19】請求項7、8、13または14のいずれかにおいて、前記14族から選ばれた元素を添加する工程は、イオンブランチーション、プラズマドーピングまたはレーザードーピングにより行われることを特徴とする半導体装置の作製方法。

【請求項20】請求項5乃至請求項19において、前記14族から選ばれた元素とはゲルマニウムであることを特徴とする半導体装置の作製方法。

【請求項21】請求項9、10、15または16のいずれかにおいて、前記14族から選ばれた元素を含む溶液

10

20

30

40

50

とは、酸化ゲルマニウム、塩化ゲルマニウム、臭化ゲルマニウム、硫化ゲルマニウムまたは酢酸ゲルマニウムから選ばれた化合物の水溶液であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本明細書で開示する発明は、絶縁表面を有する基板上に形成された半導体薄膜の作製方法に関する。また、その様な半導体薄膜を用いた薄膜トランジスタ(TFT)で構成された回路を有する半導体装置の作製方法に関する。

【0002】 なお、本明細書中では半導体特性を利用して機能しうる装置全てを半導体装置と呼ぶ。従って、上記特許請求の範囲に記載された半導体装置は、TFT等の単体素子だけでなく、TFTで構成した半導体回路や電気光学装置およびそれらを部品として搭載した電子機器をも包含する。

【0003】

【従来の技術】 近年、絶縁表面を有する基板上に形成された半導体薄膜(厚さ数十〜数百nm程度)を用いてTFTを構成する技術が注目されている。TFTは特に画像表示装置(例えば液晶表示装置)のスイッチング素子としての開発が急がれている。

【0004】 例えば、液晶表示装置においてはマトリクス状に配列された画素領域を個々に制御する画素マトリクス回路、画素マトリクス回路を制御する駆動回路、さらに外部からのデータ信号を処理するロジック回路(演算回路、メモリ回路、クロックジェネレータなど)等のあらゆる半導体回路にTFTを応用する試みがなされている。

【0005】 最近では、非晶質珪素膜(アモルファスシリコン膜)よりも動作速度の速いTFTが作製できるという利点を生かして結晶性珪素膜(ポリシリコン膜)を利用したTFTの量産が開始されている。

【0006】 本出願人は以前からポリシリコン膜の研究を進め、より単結晶に近い膜質を有するポリシリコン膜の開発を急いできた。その様なポリシリコン膜の形成方法として本出願人は特開平9-312260号公報に記載された技術を開示している。

【0007】 上記公報ではアモルファスシリコン膜の結晶化に際して結晶化を助長する触媒元素としてニッケルを利用し、結晶化後に700°Cを超える温度での加熱処理を施してポリシリコン膜の結晶性を改善する方法が開示されている。

【0008】 しかしながら結晶化の触媒としてニッケルを用いたポリシリコン膜を直接酸化性雰囲気に触れさせて熱処理すると、局所的に酸化シリコン(SiO_2)の異常成長が発生する場合がある。

【0009】 この酸化シリコンの異常成長は丁度みみず腫れの様にポリシリコン膜の表面に現れる。この様な酸

化シリコンが存在すると、TFT作製工程中に酸化シリコンだけが除去されてシリコンが切断されるといった問題につながる。

【0010】 そのため、上記公報に記載された技術で形成されたポリシリコン膜は、直接ポリシリコン膜の表面が酸化性雰囲気に触れた状態で加熱処理を加えることは避けるべきであった。例えば、ポリシリコン膜の表面に熱酸化膜を形成する場合には、表面を絶縁膜で隠しておくなどの工夫が必要であり、それがプロセスを煩雑にする原因ともなっていた。

【0011】

【発明が解決しようとする課題】 本願発明は上記問題点を鑑みてなされたものであり、酸化シリコンの異常成長を発生させない様に結晶性の高い半導体薄膜を作製する方法を提供することを課題とする。そして、その様な半導体薄膜を用いたTFTで回路構成された半導体装置の作製方法を提供する。

【0012】

【課題を解決するための手段】 本願発明の基礎となる構成は、14族から選ばれた元素(特に好ましくはゲルマニウム)を触媒元素として利用して非晶質半導体薄膜(代表的にはアモルファスシリコン膜)を結晶化させ、そうして形成された多結晶半導体薄膜(代表的にはポリシリコン膜)に対して結晶化時の熱処理温度(以下、結晶化温度と呼ぶ)以上の温度で熱処理を施す工程を含む点に特徴がある。

【0013】 ゲルマニウムを触媒元素としてアモルファスシリコン膜を結晶化させる技術は知られているが、本願発明はその技術を用いて得られたポリシリコン膜に対して結晶化温度以上の熱処理を施すことで、結晶粒内の欠陥が低減されて非常に高い結晶性を有するポリシリコン膜が得られることを見出したものである。

【0014】 また、特開平9-312260号公報に記載された技術では条件によって酸化シリコンの異常成長を招く恐れがあったが、本願発明の構成ではその様な心配をする必要が全くない。その結果、結晶化温度以上で熱処理を行う際にポリシリコン膜の表面を酸化シリコン膜で隠すといった煩雑な工程が必要とならない。

【0015】 ただし、ゲルマニウムはシリコンに較べて融点の低い元素であるので注意が必要である。シリコン膜中に 1×10^{19} atoms/cm³を超える濃度でゲルマニウムが存在すると、900°C程度の温度の熱処理でもシリコン膜の溶解が始まってしまう恐れがある。従って、アモルファスシリコン膜中に添加されうるゲルマニウム濃度を鑑みて、結晶化温度を決定することが望ましい。

【0016】

【発明の実施の形態】 本願発明の実施形態について、以下に記載する実施例をもって詳細な説明を行うこととする。

【0017】

【実施例】〔実施例1〕本実施例では本願発明を利用してポリシリコン膜を形成する工程について図1を用いて説明する。まず、基板101を用意する。本願発明では後に700℃を超える加熱処理を施すため、石英基板、結晶化ガラス、セラミックス基板、シリコン基板などの如き耐熱性の高い材料を用いる必要がある。基板上には必要に応じて下地膜を形成すると良い。

【0018】本実施例では基板101として石英基板を用い、その上に直接アモルファスシリコン膜102を形成する。アモルファスシリコン膜の成膜は減圧熱CVD法又はプラズマCVD法で行い、成膜ガスとしてはシラン(SiH_4)又はジシラン(Si_2H_6)を用いる。また、この時アモルファスシリコン膜の膜厚は30~250nm(代表的には100~150nm)としておく。(図1(A))

【0019】なお、成膜中に混入する炭素、酸素及び窒素は後の結晶化を阻害する恐れがあるので徹底的に低減することが好ましい。具体的には炭素及び窒素の濃度はいずれも 5×10^{18} atoms/cm³未満(代表的には 5×10^{17} atoms/cm³以下)とし、酸素の濃度は 1.5×10^{18} atoms/cm³未満(代表的には 1×10^{18} atoms/cm³以下)とするこのが望ましい。

【0020】本出願人の経験では炭素、酸素及び窒素が上述の濃度範囲を超えるとTFET特性が急激に悪化する。おそらくシリコンの結晶化が阻害され、十分な結晶性を有するポリシリコン膜が得られないためと考えられる。従って、上述の濃度範囲に収めておくことが重要となる。また、上述の不純物はTFET作製過程で意図的に添加されない限りは上述の濃度範囲を超えることは無い。

【0021】次に、アモルファスシリコン膜102の結晶化工程を行う。本実施例ではアモルファスシリコン膜の結晶化に際して、結晶化を助長する触媒元素としてゲルマニウムを用いる。

【0022】本実施例の場合、まず成膜したアモルファスシリコン膜102上にプラズマCVD法によりゲルマニウム膜103を形成する。成膜ガスとしては、ゲルマン(GeH_4)ガスを水素又はヘリウムで5~10倍に希釈したものを用いる。そして、100~300℃の成膜温度で、20~50mW/cm²で放電して1~50nm(代表的には10~20nm)の膜厚のゲルマニウム膜を成膜することができ

【0023】また、ゲルマニウム膜103の成膜方法は減圧熱CVD法で行うことも可能である。ゲルマンは非常に分解しやすいガスであるので、450℃程度の低温で容易に分解してゲルマニウム膜を形成することができ

【0024】こうして図1(A)の状態が得られる。次に、450~650℃(好ましくは500~550℃)の加熱処理を行い、アモルファスシリコン膜を結晶化させる。600℃を上限としたのは、これを超えると自然核発生が増

加してしまい、ゲルマニウムを核とした結晶と混在して結晶性が乱れるからである。(図1(B))

【0025】なお、この結晶化工程はファーンズアニール、ランプアニール、レーザーアニールのいずれの手段を用いても良い。本実施例では形成された膜の均質性を重視してファーンズアニールを用いる。

【0026】こうして得られたポリシリコン膜104は500℃程度の低温で形成されたにも拘わらず、優れた結晶性を有している。本願発明の目的は、こうして形成されたポリシリコン膜104の結晶性をさらに改善することにある。

【0027】次に、ポリシリコン膜104上に残存するゲルマニウム膜を硫酸過水溶液($\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 1 : 1$)で除去した後、ポリシリコン膜104に対して少なくとも前述の結晶化温度よりも高い温度(代表的には800~1050℃)での熱処理工程を行う。(図1(C))

【0028】この熱処理工程によって高い結晶性を有するポリシリコン膜105が形成される。また、ポリシリコン膜105上には熱処理工程によって熱酸化膜106が形成される。この熱酸化膜106はTFET作製時にそのままゲイト絶縁膜として利用することも可能である。

【0029】なお、ゲルマニウム膜を残したまま熱処理を行うこともできるが、その場合は高い濃度で膜中にゲルマニウムが存在した状態となる。いずれにしてもこの熱処理工程を終えたポリシリコン膜105中には拡散によって 1×10^{18} ~ 5×10^{18} atoms/cm³(代表的には 1×10^{18} ~ 1×10^{18} atoms/cm³)の濃度でゲルマニウムが存在する。特に、ポリシリコン膜105の界面付近(熱酸化膜106との界面付近)においてはゲルマニウムが高濃度(代表的には 1×10^{18} ~ 1×10^{18} atoms/cm³)に存在する。

【0030】そのため、本実施例で得られたポリシリコン膜105はシリコン原子とゲルマニウム原子が置換された結合を多く含み、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)で表されるシリコンゲルマニウム半導体に近い半導体薄膜になると考えられる。

【0031】この時、本実施例の作製工程では従来例で述べた様な酸化シリコンの異常成長が全く起こらないという利点がある。即ち、本実施例のプロセスで形成されたポリシリコン膜105は、酸化性雰囲気中に触れた状態で熱酸化されたにも拘わらず、酸化シリコンの異常成長が発生しないのである。

【0032】本出願人によれば、結晶化の触媒としてニッケルを用いた場合に発生する酸化シリコンの異常成長は、ポリシリコン膜中に存在するニッケルシリサイドが集中的に酸化されることに起因する。従って、本願発明ではニッケルを用いずにシリコンとの整合性の高いゲルマニウムを触媒として用いているため、その様な局所的な異常酸化が起こらないと考えられる。

【0033】ここで図4(A)に示すのは酸化シリコン

の異常成長が生じた場合のSEM写真である。矢印で示す位置に酸化シリコンが異常発生し、活性層であるシリコン膜を殆ど分断していることが確認できる。一方、図4(B)に示すSEM写真は本実施例のプロセスで同一構造のTFEを作製した場合の例であり、活性層には全く酸化シリコンの異常成長が確認されない。

【0034】そして、図1(C)に示した熱処理工程によってポリシリコン膜104の粒内欠陥をほぼ完全に除去することができる。結晶化を終えた状態、即ち図1

(B)に示した状態のポリシリコン膜104は、結晶粒内に多くの欠陥(積層欠陥や転位欠陥など)を含んでいる。ところが、図1(C)の工程後に得られたポリシリコン膜105は、結晶粒内に殆ど欠陥を含まない。

【0035】本出願人は、上記の効果について次の様なモデルを考えている。ポリシリコン膜と下地となる石英(酸化珪素)とでは、熱膨張係数に10倍近くの差がある。従って、アモルファスシリコン膜からポリシリコン膜に変成した時点では、ポリシリコン膜が冷却される時に非常に大きな応力を発生する。

【0036】この事について、図5を用いて説明する。図5(A)は結晶化工程後のポリシリコン膜にかかる熱履歴を示している。まず、温度(t_1)で結晶化されたポリシリコン膜は冷却期間(a)を経て室温まで冷やされる。

【0037】ここで図5(B)に示すのは冷却期間(a)にある時のポリシリコン膜であり、500は石英基板、501はポリシリコン膜である。この時、ポリシリコン膜501と石英基板500との界面502における密着性はあまり高くなく、それが原因となって多数の粒内欠陥を発生していると考えられる。

【0038】即ち、熱膨張係数の差によって引っ張られたポリシリコン膜501は石英基板500上で非常に動きやすく、引っ張り応力などの力によって積層欠陥や転位などの欠陥503を容易に生じてしまうと考えられる。

【0039】こうして得られたポリシリコン膜が図1(B)のポリシリコン膜104に相当する。その後、図5(A)に示す様に温度(t_1)で熱処理工程が行われ、結晶粒内の欠陥(粒内欠陥)が殆ど消滅する。これは熱処理によって格子間に存在する格子侵入型シリコン原子が移動して欠陥を補償するためと考えられる。

【0040】このような格子侵入型シリコン原子は熱酸化工程において大量に発生するため、上述の結晶化温度を超える温度での熱処理は、酸化性雰囲気中で行うとより効果的に欠陥を除去することが可能である。

【0041】こうして熱処理によって粒内欠陥が除去された後、再び冷却期間(b)を経て室温まで冷やされる。ここで結晶化工程の後の冷却期間(a)と異なる点は、石英基板500とアニール後のポリシリコン膜504との界面505が非常に密着性の高い状態となってい

る点である。(図5(C))

【0042】この様に密着性が高いと石英基板500に対してポリシリコン膜504が完全に固着されるので、ポリシリコン膜の冷却段階においてポリシリコン膜に応力が加わっても欠陥を発生するに至らない。即ち、再び欠陥が発生することを防ぐことができる。

【0043】この様に、結晶化が終了した後で結晶化温度を超える温度での熱処理を行うことにより、ポリシリコン膜と下地との界面を固着させ、粒内欠陥の除去と同時にその再発生を防ぐことができる。本出願人は、この熱処理工程をシリコン界面の固着工程と呼んでいる。

【0044】なお、図5(A)では結晶化工程後に室温まで下げるプロセスを例にとっているが、結晶化が終了したらそのまま温度を上げて固着工程を行うこともできる。その様なプロセスを経ても同様の結晶性を有するポリシリコン膜を得ることが可能である。

【0045】こうして得られたポリシリコン膜105は、単に結晶化を行っただけのポリシリコン膜104に較べて格段に結晶粒内の欠陥数が少ないという特徴を有している。この欠陥数の差は電子スピン共鳴分析(Electron Spin Resonance: ESR)によってスピン密度の差となって現れる。

【0046】以上の様に、本願発明の最も重要な構成は、①触媒としてゲルマニウムを用いてアモルファスシリコン膜の結晶化を行う、②得られたポリシリコン膜に対して結晶化温度以上の温度による熱処理を行う、という2点である。

【0047】①の工程を採用することで、後工程の②の工程においてポリシリコン膜の異常酸化が防止される。そのため、ポリシリコン膜の熱処理に際して工程を煩雑にすることがない。また、②の工程によってポリシリコン膜中の粒内欠陥が除去され、非常に結晶性の高いポリシリコン膜を得ることができる。

【0048】なお、結晶化温度以上の温度とは、代表的には800~1050℃(好ましくは850~900℃)の温度であり、その様な高い温度で熱処理を行う点に特徴がある。この工程では熱酸化機構が粒内欠陥の低減に大きく寄与すると思われるので、熱酸化が起こりやすい条件であることが望ましい。

【0049】従って、スループットを考えると熱処理の下限温度は800℃が好ましく、上限は基板(本実施例では石英)の耐熱性を考慮して1050℃が好ましい。ただし、ゲルマニウムの融点が930~940℃であるので、より好ましくは900℃を上限とすると良い。

【0050】また、熱処理雰囲気は酸化性雰囲気であることが好ましいが、不活性雰囲気であっても構わない。酸化性雰囲気とする場合、ドライ酸素(O_2)雰囲気、ウェット酸素($O_2 + H_2$)雰囲気、ハロゲン元素を含む雰囲気($O_2 + HCl$ 等)のいずれかとすれば良い。

【0051】特に、ハロゲンを含む雰囲気中で熱処理を行

うと、ハロゲン元素のゲッターリング効果によりポリシリコンの格子間に存在する余分なゲルマニウムが揮発性の GeCl_4 の形で除去される。そのため、格子歪みの少ないポリシリコン膜を得るためには有効な手段である。

【0052】さらに、酸化性雰囲気中で800~1050°Cの熱処理を行うと熱酸化膜が形成されることでポリシリコン膜自体が薄膜化される。ポリシリコン膜の薄膜化はTFTのオフ電流（オフ状態で流れるドレイン電流）の低減及びモビリティの向上に効果があるが、薄過ぎるとソース/ドレインのコンタクト不良を招くなどの問題も誘発するので注意が必要である。

【0053】本願発明を実施するときは熱酸化工程による膜減りを考慮して成膜時のアモルファスシリコン膜の膜厚を決定し、最終的にTFTの活性層として利用するときの膜厚は5~50nm（好ましくは15~45nm）となる様に設計すると良い。膜厚が5nm以下となると正常なソース/ドレインコンタクトの形成が困難となり、50nmを超えると薄膜化による効果が薄れてしまう。

【0054】以上の様な構成の作製方法で得られた本実施例のポリシリコン膜は非常に高い結晶性を有し、薄膜トランジスタの活性層として最適な半導体薄膜である。また、その結晶構造は非常に特徴的である。

【0055】本実施例で作製したポリシリコン膜の結晶粒界を高分解能TEM（透過型電子顕微鏡）で観察すると、結晶粒界を形成する二つの結晶粒の間で格子縞が直線的に連続しているという特徴がある。即ち、結晶粒界を横切っても結晶格子に連続性が保たれていることを示している。

【0056】本出願人が上記高分解能TEMで撮ったTEM写真を詳細に観察した結果、結晶粒界において90%以上（代表的には95%以上）の結晶格子に上記連続性があることが確認された。即ち、本願発明のポリシリコン膜は結晶粒界のどの部分を観察しても9割以上の格子縞が結晶粒界に関係なく連続的につながっているという構造的特徴を有しているのである。

【0057】この事は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示唆している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。

【0058】この様な結晶粒界の連続性は、一般的なポリシリコン膜（一般的に低温ポリシリコンや高温ポリシリコンと呼ばれている膜）には見られない、非常に特異な構造であると言える。

【0059】〔実施例2〕本実施例では実施例1に示したポリシリコン膜を用いてTFTを作製する工程について図2、図3を用いて説明する。なお、本実施例では基板上にCMOS回路で構成した駆動回路とNチャネル型TFT（NTFT）で作製した画素マトリクス回路とを一体形成したアクティブマトリクス型液晶表示装置（A

MLCD）を例にとる。

【0060】まず、実施例1の工程に従って石英基板201上にポリシリコン膜を形成したら、パターニングを行い、TFTの活性層202~204を形成する。活性層の膜厚は成膜時のアモルファスシリコン膜の膜厚とその後の熱酸化量によって調節することができる。本実施例ではこの時点で40nmとする。（図2（A））

【0061】次に、プラズマCVD法（又は減圧熱CVD法）により酸化シリコン膜から構成されるゲイト絶縁膜205を120nmの膜厚に形成する。なお、他にも酸化窒化シリコン膜（ SiO_2N 、で示される）又は窒化シリコン膜を用いることができる。さらに、これらを自由に組み合わせて積層構造としても良い。

【0062】次に、ゲイト絶縁膜205の上にN型導電性を呈するポリシリコン膜からなるゲイト電極206~208を形成する。ゲイト電極206~208の膜厚は200~300nmの範囲で選択すれば良い。（図2（B））

【0063】なお、他にもゲイト電極の材料として、P型導電性を呈するポリシリコン膜や金属膜（例えばタングステン膜、タンタル膜、モリブデン膜、チタン膜等）または上記金属膜の成分を組み合わせた合金膜でもよい。または、前記金属膜をシリサイド化したシリサイド膜、窒化した金属膜（窒化タンタル膜、窒化タングステン膜、窒化チタン膜等）でもよい。また、これらを自由に組み合わせて積層してもよい。また、前記金属膜を用いる場合には、金属膜の酸化を防止するために珪素膜との積層構造、あるいは珪素を主成分とする絶縁膜で金属膜を覆った構造とすることが望ましい。

【0064】ゲイト電極206~208を形成したら、ゲイト電極206~208をマスクとしてドライエッチング法によりゲイト絶縁膜205をエッチングする。本実施例では酸化珪素膜をエッチングするために CHF_3 ガスを用いる。

【0065】この工程によりゲイト電極（及びゲイト配線）の直下のみにゲイト絶縁膜が残存する状態となる。勿論、ゲイト電極の下に残った部分が実際にゲイト絶縁膜として機能する部分である。

【0066】次に、PTFTとなる領域をレジストマスク209で隠し、N型を付与する不純物（本実施例ではリン）をイオンインプランテーション法またはプラズマドーピング法により添加する。この時形成される低濃度不純物領域210、211の一部は後にLDD（Lightly Doped Drain）領域となるので、 $1 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³の濃度でリンを添加しておく。（図2（C））

【0067】次に、レジストマスク209を除去した後、NTFTとなる領域をレジストマスク212で隠し、P型を付与する不純物（本実施例ではボロン）をイオンインプランテーション法またはプラズマドーピング法により添加する。この時も、リンの場合と同様に低濃

度不純物領域314を形成する。(図2(D))

【0068】こうして図2(D)の状態が得られたら、レジストマスク212を除去した後、エッチバック法を用いてサイドウォール214~216を形成する。本実施例ではサイドウォール214~216を窒化珪素膜を用いて構成する。

【0069】こうしてサイドウォール214~216を形成したら、再びPTFTとなる領域をレジストマスク217で隠し、リンを添加する。この時は先程の添加工程よりもドーズ量を高くする。

【0070】このリンの添加工程によりCMOS回路を構成するNTFTのソース領域218、ドレイン領域219、低濃度不純物領域(LDD領域)220、チャネル形成領域221が画定する。また、画素マトリクス回路を構成するNTFTのソース領域222、ドレイン領域223、低濃度不純物領域(LDD領域)224、チャネル形成領域225が画定する。(図3(A))

【0071】次に、レジストマスク214を除去した後、レジストマスク226でNTFTとなる領域を隠し、ボロンを先程よりも高いドーズ量で添加する。このボロンの添加工程によりCMOS回路を構成するPTFTのソース領域227、ドレイン領域228、低濃度不純物領域(LDD領域)229、チャネル形成領域230が画定する。(図3(B))

【0072】以上の様にして、活性層への不純物の添加工程が終了したら、ファーンズアニール、レーザーアニールまたはランプアニールによって熱処理を行い、添加した不純物の活性化を行う。また、この時、不純物の添加時に活性層が受けた損傷も回復される。

【0073】なお、チャネル形成領域221、225、230は全く不純物元素が添加されず、真性または実質的に真性な領域である。ここで実質的に真性であるとは、N型又はP型を付与する不純物濃度がチャネル形成領域のスピン密度以下であること、或いは同不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{17}$ atoms/cm³の範囲に収まっていることを指す。

【0074】次に、25nm厚の窒化シリコン膜と900nm厚の酸化シリコン膜との積層膜からなる第1の層間絶縁膜231を形成する。そして、Ti/Al/Ti(膜厚は順に100/500/100 nm)からなる積層膜で構成されるソース電極232~234、ドレイン電極235、236を形成する。

【0075】次に、50nm厚の窒化シリコン膜237、20nm厚の酸化シリコン膜(図示せず)、1μm厚の有機樹脂膜238の積層構造からなる第2の層間絶縁膜を形成する。なお、有機樹脂膜としてはポリイミド膜、アクリル膜、ポリアミド膜、BCB(ベンゾシクロブテン)膜等を用いることができる。また、この場合の20nm厚の酸化シリコン膜は有機樹脂膜238をドライエッチングする際のエッチングストッパーとして機能する。

【0076】第2の層間絶縁膜を形成したら、後に補助容量を形成する領域において有機樹脂膜238をエッチングして開口部を設ける。この時、開口部の底部には窒化シリコン膜237のみ残すか、窒化シリコン膜237と酸化シリコン膜(図示せず)を残すかのいずれかの状態とする。

【0077】そして、300 nm厚のチタン膜を成膜し、パターニングによりブラックマスク239を形成する。このブラックマスク239は画素マトリクス回路において、TFTや配線部など遮光を要する部分に配置される。

【0078】この時、前述の開口部では画素マトリクス回路のドレイン電極236とブラックマスク239とが窒化シリコン膜237(又は窒化シリコン膜と酸化シリコン膜との積層膜)を挟んで近接した状態となる。

【0079】本実施例ではブラックマスク239を固定電位に保持して、ドレイン電極236を下部電極、ブラックマスク239を上部電極とする補助容量240を構成する。この場合、誘電体が非常に薄く比誘電率が高いため、大きな容量を確保することが可能である。

【0080】こうしてブラックマスク239及び補助容量240を形成したら、再び1μm厚の有機樹脂膜を形成して第3の層間絶縁膜241とする。そして、コンタクトホールを形成して透明導電膜(代表的にはITO)で構成される画素電極242を120nmの厚さに形成する。

【0081】最後に、水素雰囲気中で350℃2時間程度の加熱処理を行い、素子全体の水素化を行う。こうして図3(C)に示す様なアクティブマトリクス基板が完成する。後は、公知のセル組み工程によって対向基板との間に液晶層を挟持すれば図6に示す様なAMLCDが完成する。

【0082】図6において、601は基板、602は画素マトリクス回路、603はソース駆動回路、604はゲート駆動回路、605はロジック回路、606は対向基板、607はFPC(フレキシブルプリントサーキット)である。ロジック回路605は映像表示に必要な信号を処理する回路であり、クロック発生回路や補正回路などが含まれる。

【0083】また、本実施例のAMLCDは高い動作性能を有するTFTで回路構成するのでデジタル駆動にもアナログ駆動にも対応しうる。具体的には、本実施例のTFTのモビリティ(電界効果移動度)はNチャネル型で200~300cm²/Vs、Pチャネル型で150~250cm²/Vsを実現する。また、サブスレッショルド係数(S値)もNチャネル型、Pチャネル型ともに60~100mV/decadeと小さい。

【0084】なお、アクティブマトリクス基板の構造は本実施例に限定されず、あらゆる構造とすることができる。例えば、本実施例では画素電極として透明導電膜を

用いているが、これをアルミニウム合金膜など反射性の高い材料に変えれば容易に反射型のアクティブマトリクス型液晶表示装置を実現することができる。

【0085】〔実施例3〕本実施例では、実施例2においてゲイト絶縁膜の形成方法として異なる手段を採用した場合の例について説明する。

【0086】実施例2ではプラズマCVD法や減圧熱CVD法で成膜した絶縁膜をそのままゲイト絶縁膜として利用しているが、絶縁膜を形成した後に熱酸化工程を施すとさらにTFTの電気特性を向上させることができる。

【0087】具体的には、実施例2においてゲイト絶縁膜205を形成したら、その状態で800~1050°C（代表的には900~950°C）の温度範囲で熱酸化工程を行う。処理雰囲気は実施例1で説明した熱酸化工程と同じ条件とすれば良い。この時、活性層とゲイト絶縁膜との界面で熱酸化反応が進行する。

【0088】この構成はエッジシニング現象（活性層端部で熱酸化膜が極端に薄くなる現象）によるゲイト絶縁膜の絶縁破壊を抑える上で効果的である。また、活性層とゲイト絶縁膜との界面準位が低減されるので、TFTの電気特性（特にサブスレッショルド係数）が大幅に向上する。

【0089】勿論、図4を用いて説明した様に、熱酸化工程後のポリシリコン膜を室温まで冷却しても粒内欠陥が発生する様なことはない。

【0090】〔実施例4〕実施例1では、アモルファスシリコン膜上にプラズマCVD法または減圧熱CVD法によりゲルマニウム膜を成膜する例を示したが、それ以外にスパッタ法や蒸着法を用いてゲルマニウム膜を成膜しても良い。

【0091】スパッタ法や蒸着法を用いることには取扱いの危険なゲルマンガスを利用する必要がないというプロセス上の利点がある。また、室温でゲルマニウム膜を成膜できるのでスループットが高い。

【0092】本実施例を実施例2に示したTFT作製工程に利用すれば、製造プロセスを改善する上で非常に有効である。また、本実施例の構成は実施例3と組み合わせることが可能である。

【0093】〔実施例5〕本実施例では、アモルファスシリコン膜上にゲルマニウム膜を成膜するのに際して溶液塗布によるスピンコート法を利用する例を図5に示す。

【0094】まず、石英基板501上にアモルファスシリコン膜502を形成する。形成条件は実施例1に従えば良い。

【0095】次に、アモルファスシリコン膜502上にゲルマニウムを含む溶液を塗布する。その様な溶液としては酸化ゲルマニウム（ GeO_2 、代表的には GeO_2 ）、塩化ゲルマニウム（ GeCl_4 ）、臭化ゲルマニウム（ GeBr_4 ）、硫化ゲルマニウム（ GeS_2 ）、酢酸ゲルマニウム（ $\text{Ge}(\text{CH}_3\text{CO}_2)_2$ ）の水溶液が挙げられる。

（9）

【0096】また、場合によっては溶媒としてエタノール、イソプロピルアルコール等のアルコール系溶媒を用いても良い。

【0097】本実施例では、10~100ppmの酸化ゲルマニウム水溶液を作製してアモルファスシリコン膜502上に塗布し、スピン乾燥することでアモルファスシリコン膜502上にゲルマニウムを含む層503を形成する。

【0098】なお、アモルファスシリコン膜502は疎水性を示すため、スピンコートの前に薄い酸化シリコン膜を形成して濡れ性を高めておくことが好ましい。

【0099】こうして図5（A）の状態が得られたら、実施例1に示した条件に従って結晶化のための加熱処理を行い、ポリシリコン膜504を得る。このポリシリコン膜504の表面には高濃度にゲルマニウムが存在するので、フッ酸等のエッチャントで洗浄しておくとも良い。

【0100】以上の様にしてポリシリコン膜504が得られたら、後は実施例1の工程に従って結晶化温度以上の温度で熱処理を行えば良い。そして、実施例2に示した工程に従えば図6に示す様なAMLCDを作製することができる。

【0101】なお、本実施例の構成は実施例1~実施例4のいずれの構成とも自由に組み合わせることが可能である。

【0102】〔実施例6〕本実施例では、アモルファスシリコン膜に対してゲルマニウムを添加するに際して実施例1と異なる手段を用いる例を図8に示す。具体的にはゲルマニウムの添加にイオンブランチーション法、プラズマドーピング法またはレーザードーピング法を利用する例を示す。

【0103】まず、石英基板801上にアモルファスシリコン膜802を形成する。形成条件は実施例1に従えば良い。その後、イオンブランチーション法、プラズマドーピング法、レーザードーピング法のいずれかの手段によりゲルマニウムを添加する。

【0104】本実施例では励起ガスとしてゲルマン（ GeH_4 ）を用い、加速電圧30keV、RF電力5W、ドーズ量 1×10^{14} atoms/cm²でプラズマドーピング法を用いてゲルマニウムを添加する。勿論、この条件に限定する必要はなく、アモルファスシリコン膜802中へは 1×10^{14} ~ 5×10^{15} atoms/cm²（代表的には 1×10^{14} ~ 1×10^{15} atoms/cm²）の濃度でゲルマニウムが添加される様に調節すれば良い。

【0105】なお、アモルファスシリコン膜中に添加するゲルマニウムは 1×10^{14} atoms/cm²以上（好ましくは 1×10^{15} atoms/cm²以上）でないと触媒として結晶化の助長効果を有効に利用することができない。また、添加量が 5×10^{15} atoms/cm²を超えるとアモルファスシリコン膜の融点が下がりすぎ、900°C程度の温度でも溶融し

てしまう恐れがあり好ましくない。従って、添加量の上
限は安全を見て 1×10^{18} atoms/cm³ 程度としておくこと
が望ましい。

【0106】こうして膜中にゲルマニウムが添加された
アモルファスシリコン膜は 450~650 °Cの加熱処理によ
り容易に結晶化する。本実施例で得られたポリシリコン
膜803はシリコン原子とゲルマニウム原子が置換され
た結合を多く含み、いわゆるシリコンゲルマニウム (Si
xGe{1-x} で表される) になると思われる。

【0107】シリコンゲルマニウムはシリコン膜よりも
狭いバンドギャップを有するため、キャリア (電子また
は正孔) の移動度が向上することが知られている。従っ
て、本実施例の工程で得られたポリシリコン膜 (シリコ
ンゲルマニウム) に対して本願発明の特徴である下地/
シリコン界面の固着工程 (結晶化温度以上の温度におけ
る熱処理) を行えば、さらに動作特性の高いTFTを
実現しうる。

【0108】そして、実施例2に従ってTFTを作製し
て図6に示す様なAMLCDを作製すれば、高品質な表
示ディスプレイを実現することができる。

【0109】なお、本実施例の構成は実施例1~実施例
4のいずれの構成とも自由に組み合わせることが可能で
ある。

【0110】〔実施例7〕本実施例では基板上にアモル
ファスシリコン膜を形成する際に成膜の段階で膜中に対
してゲルマニウムを添加する手段を採用する。

【0111】成膜は減圧熱CVD法又はプラズマCVD
法で行い、成膜ガスとしてはシラン (SiH₄) 又はジシラ
ン (Si₂H₆) に対して所定量のゲルマン (GeH₄) を混合
したガスを用いる。また、ジシランに対してフッ化ゲル
マニウム (GeF₄) を混合したガスを用いることもでき
る。

【0112】この様な手段ではゲルマニウムの添加量を
ゲルマンガスの流量で調節することが可能であり、アモ
ルファスシリコン膜中に均一に分布させることができ
る。また、ゲルマニウムを添加するために特別な工程を
必要とせず、工程簡略化にも効果的である。

【0113】本実施例では、アモルファスシリコン膜中
に 1×10^{18} ~ 5×10^{18} atoms/cm³ (好ましくは 1×10^{18}
~ 1×10^{19} atoms/cm³) の濃度でゲルマニウムが添加さ
れる様にゲルマンガスの流量を調節する。なお、このゲ
ルマニウム濃度の上限及び下限に関しては実施例6で説
明したので省略する。

【0114】こうして膜中にゲルマニウムが添加された
アモルファスシリコン膜は、500~600 °Cの加熱処理に
より容易に結晶化する。また、実施例6と同様に結晶化
によって得られたポリシリコン膜はシリコンゲルマニウ
ムになると思われる。

【0115】従って、本実施例の作製工程によって形成
されたポリシリコン膜は非常に高いキャリア移動度を実

現し、実施例2の工程でAMLCDを作製すれば高品質
な映像表示を可能とする優れた表示ディスプレイが得ら
れる。

【0116】なお、本実施例の構成は実施例1~実施例
4のいずれの構成とも自由に組み合わせることが可能で
ある。

【0117】〔実施例8〕実施例1では、固着工程をハ
ロゲンを含む雰囲気で行うことでゲルマニウムをゲッタ
リングさせて除去しうる点を示したが、ゲルマニウムの
ゲッタリングに15族から選ばれた元素 (代表的にはリン)
を利用することもできる。

【0118】本実施例の説明を図9を用いて行う。図9
(A)において、901はシリコン基板、902はシリ
コンを熱酸化して形成した熱酸化膜、903は実施例1
の工程に従って形成したポリシリコン膜である。

【0119】このポリシリコン膜903上には選択的に
開口部904、905を設けたマスク絶縁膜906が設
けられる。開口部904、905は少なくとも20μm以
上の幅を有する溝状に形成される。また、マスク絶縁膜
906は酸化シリコン膜等の絶縁膜で形成しても良い
し、レジストマスクであっても良い。

【0120】こうして図9(A)の状態が得られたら、
基板全面に対してリンを添加する。この時、加速電圧は
30keV、RF電力は5W、ドーズ量は 1×10^{18} atoms/cm²
とすれば良い。

【0121】この工程によりリンが高濃度に添加された
領域907、908が形成される。この領域907、9
08が後にゲルマニウムのゲッタリングサイトとして機
能することになる。(図9(B))

【0122】次に、500~650 °C (代表的には 550~60
0 °C) の温度で4~12時間の加熱処理を行う。この工程
では、ポリシリコン膜903中に存在しているインター
スティシャルなゲルマニウム (格子侵入型のゲルマニウ
ム) をリンが高濃度に添加された領域907、908に
矢印が示す様にゲッタリングされ、ポリシリコン膜中の
余分なゲルマニウムが低減すると考えられる。(図9
(C))

【0123】即ち、この工程を終えたポリシリコン膜9
09はインタースティシャルなゲルマニウムが低減さ
れ、格子歪みの少ないポリシリコン膜となっている。こ
のポリシリコン膜909に対して実施例1で説明した様
な固着工程を施すことで、さらに高い結晶性を有するポ
リシリコン膜が得られる。

【0124】そして、その様なポリシリコン膜を実施例
2に示した様に利用して基板上に複数のTFTを形成
し、それをもって図6に示す様なAMLCDを作製すべ
ば良い。ただし、本実施例では基板としてシリコン基板
を利用しているので、画素電極として反射率の高い材料
を用いて反射型LCDを作製する必要がある。

【0125】なお、本実施例のポリシリコン膜903を

形成するにあたって、実施例4～7に示したいずれの構成を利用することもできる。

【0126】〔実施例9〕実施例1ではアモルファスシリコン膜の表面全体に対してゲルマニウム膜を成膜する、若しくはゲルマニウムを添加する例を示したが、膜表面の一部に対して選択的にゲルマニウムを成膜または添加する構成とすることもできる。

【0127】本実施例の説明を図10を用いて行う。まず、結晶化ガラス（セラミックスガラスともいう）11を酸化シリコン膜12で包んだ基板を用意する。この酸化シリコン膜12は結晶化ガラス11から流出する汚染物質を防ぐ効果を有する。

【0128】なお、酸化シリコン膜12は減圧熱CVD法で形成しても良いし、アモルファスシリコン膜を減圧熱CVD法で形成して、それを完全に熱酸化して形成しても良い。

【0129】その酸化シリコン膜12の上に減圧熱CVD法により膜厚75nmのアモルファスシリコン膜13を形成する。そして、アモルファスシリコン膜13の上に酸化シリコン膜からなるマスク絶縁膜14を形成する。マスク絶縁膜14には少なくとも10 μ m以上の幅を有するスリット状に開口部15、16が設けられている。（図10（A））

【0130】次に、マスク絶縁膜14の上からゲルマニウム膜15を成膜する。ゲルマニウム膜15の膜厚は1～50nm（代表的には1～10nm）とし、スパッタ法により形成する。（図10（B））

【0131】勿論、ゲルマニウム膜の成膜方法としてCVD法（実施例1参照）、蒸着法、スピンコート法（実施例5参照）を用いることも可能である。本実施例の場合、開口部15、16で露出したアモルファスシリコン膜のみがゲルマニウム膜15と接する構成となる。即ち、アモルファスシリコン膜13に対して選択的にゲルマニウムを接触させた状態を得ることができる。

【0132】なお、実施例6に示した様にイオンインプランテーション法等の技術を用いてアモルファスシリコン膜中にゲルマニウムを添加する手段をとっても良い。その場合、開口部15、16で露出したアモルファスシリコン膜のみに選択的にゲルマニウムが添加される。

【0133】次に、ゲルマニウム膜15を成膜したら、結晶化のための加熱処理を行う。結晶化条件は基本的には実施例1に示した条件で良いが、本実施例の場合にはファーンズアニールによって550～600℃の温度で4～24時間の結晶化を行う。

【0134】本実施例の場合、アモルファスシリコン膜13に対して選択的にゲルマニウム膜を接触させているため、その部分を核として結晶化が進行する。即ち、開口部15、16で初めに結晶化が始まり、そこからマスク絶縁膜14の下部に位置するアモルファスシリコン膜に向かって矢印で示す様な方向に結晶成長が進行すると

考えられる。（図10（C））

【0135】この様な結晶化は結晶成長が時間に比例して進行していくため、所望の成長距離に到達するまでの時間（結晶化工程に要する時間）を実験的に決定しておく必要がある。また、結晶の成長距離は同じ時間でも温度が高いほど長くなる傾向にあるが、600℃を超えると自然核発生が多発してしまうので、その温度を超えないことが好ましい。

【0136】こうして横方向に成長して得られたポリシリコン膜16は成長方向がほぼ揃った針状または柱状結晶の集合体となる。即ち、結晶粒界がある性定の方向に揃っているため、結晶の成長方向とキャリアが移動する方向とを一致させてTFETを形成すればモビリティを向上させることができる。

【0137】そして、この様な作製工程によってポリシリコン膜16を得たら、ポリシリコン膜16上の酸化シリコン膜14、ゲルマニウム膜15を除去した後、実施例1に示した条件で下地／シリコン界面の固着工程を行う。

【0138】以上の工程で得られたポリシリコン膜を利用して実施例2の作製工程を行えば、図6に示した様な構成のAMLCDを作製することができる。また、本実施例においても実施例3の構成でゲイト絶縁膜を形成することは有効である。

【0139】また、本実施例と実施例8に示した構成とを組み合わせる場合、ゲルマニウム膜とアモルファスシリコン膜とを選択的に接触させるためのマスク絶縁膜を、そのままリンを添加するためのマスクとして活用することが可能である。そうすることで製造工程のスループットを大幅に向上させることができる。

【0140】〔実施例10〕アモルファスシリコン膜上にゲルマニウム膜を成膜するにあたって、実施例1ではプラズマCVD法を用い、実施例4ではスパッタ法または蒸着法を用いる例を示した。本願発明では、これらの成膜を行う成膜装置としてマルチチャンバー（グラスタール）構造の成膜装置を用いることもできる。

【0141】マルチチャンバー構造の成膜装置とは、共通室に接続された各反応室において異なる薄膜を形成することのできる成膜装置である。共通室には搬送系（ロボットアーム）が設けられ、ロードロック室と各反応室または反応室同士の間での基板の受渡しを行う。

【0142】また、各反応室は共通室とはゲイト弁によって密閉遮断され、機密性が保たれている。これは共通室を介しての汚染を防ぐためである。

【0143】本実施例では、まず、第1の反応室においてプラズマCVD法によりアモルファスシリコン膜を成膜し、そのまま大気開放することなく、第2の反応室においてゲルマニウム膜を成膜する。この様に連続成膜を行うことでアモルファスシリコン膜とゲルマニウム膜との界面における汚染を防ぐことができる。また、マルチ

チャンバーの利点としてスループットが向上する。

【0144】なお、本実施例の様なマルチチャンバー構造の成膜装置はプラズマCVD法で成膜する場合にも、スパッタ法で成膜する場合にも対応できる。また、アモルファスシリコン膜をプラズマCVD法で成膜し、連続的にゲルマニウム膜をスパッタ法で成膜する様な構成とすることもできる。

【0145】〔実施例11〕実施例1～10ではトップゲイト型TFT（プレーナ型TFT）を例にとりて説明してきたが、本願発明の構成はボトムゲイト型TFT（代表的には逆スタガ型TFT）に適用することもできる。本実施例では、本願発明の構成を逆スタガ型TFTに対して適用した場合の例を図11に示す。

【0146】図11において、21は石英ガラス、22は下地として成膜した酸化シリコン膜、23はタンタル（Ta）と窒化タンタル（Ta₂N₅）とを積層して形成されたゲイト電極である。

【0147】本実施例の場合、シリコン膜の結晶化温度以上の温度における熱処理工程がゲイト電極23の形成後に行われるので、ゲイト電極23としては熱処理に耐えうるだけの耐熱性を有する材料を用いる。その様な材料としては、タンタル以外にもクロム、タングステン、モリブデン、導電性を呈するポリシリコンがある。

【0148】次に、ゲイト電極23の上にはプラズマCVD法又は減圧熱CVD法によりゲイト絶縁膜24が形成される。本実施例ではゲイト絶縁膜として酸化窒化シリコン膜を用いる。

【0149】ゲイト絶縁膜24の上にはソース領域25、ドレイン領域26、低濃度不純物領域（LDD領域）27、チャンネル形成領域28で構成される活性層が形成されている。本実施例の場合、ソース／ドレイン領域はイオンインプラント法またはプラズマドーピング法により形成している。勿論、気相法や固相法を用いた拡散による添加を行ってもよい。

【0150】また、29で示されるのはチャンネル保護膜であるが、これは酸化シリコン膜、窒化シリコン膜といった絶縁膜で構成される。本実施例の場合、チャンネル保護膜29はチャンネル形成領域28を保護するだけでなく、ソース／ドレイン領域と低濃度不純物領域とを形成するためのドーピングマスクとしても活用する。

【0151】具体的には、最初、低濃度不純物領域及びチャンネル形成領域となる部分の上にチャンネル保護膜を形成し、そのチャンネル保護膜をマスクとして不純物を添加することによりソース／ドレイン領域を形成する。その後、チャンネル保護膜をチャンネル形成領域となる部分の上のみ残して除去し、次の不純物添加によって低濃度不純物領域を形成する。

【0152】そして、活性層への不純物添加が終了したら、ファーネスアニール、レーザーアニール、ランプアニールのいずれかの手段を用いるか、それらを併用して

熱アニール工程を行い、不純物の活性化を行う。その際、不純物添加工程の後にもそのまま残されたチャンネル保護膜29は、ソース／ドレイン領域または低濃度不純物領域からチャンネル形成領域へと不純物が拡散するのを防ぐ効果を持つ。

【0153】次に、層間絶縁膜30として、2μm厚のアクリル膜が形成される。勿論、ポリイミド、ポリアミド、BCB（ベンゾシクロブテン）等の他の有機性樹脂膜であっても良い。この場合、チャンネル保護膜29はアクリル膜でなる層間絶縁膜30とチャンネル形成領域28とが直接接触するのを防ぎ、有機汚染によるTFT特性の変化を阻止することができる。

【0154】そして、層間絶縁膜30に対してコンタクトホールを形成してアルミニウムを主成分とする材料からなるソース電極31とドレイン電極32とを形成し、最後に水素化を行って図11に示す様な逆スタガ型TFTが完成する。

【0155】なお、本実施例では単体の逆スタガ型TFTの作製工程しか説明していないが、本実施例の逆スタガ型TFTで実施例2に示した様なAMLCDを作製することは容易である。

【0156】〔実施例12〕実施例2では本願発明の半導体薄膜を利用して液晶表示装置を作製した場合を説明しているが、アクティブマトリクス型のEL（エレクトロルミネッセンス）表示装置やEC（エレクトロクロミクス）表示装置などを構成することも可能である。また、光電変換層を具備したイメージセンサ等を液晶表示装置、EL表示装置またはEC表示装置に一体形成することもできる。

【0157】なお、上述の表示装置やイメージセンサの様に光学信号を電気信号に変換する、又は電気信号を光学信号に変換する機能を有する装置を電気光学装置と定義する。本願発明は基板上に半導体薄膜を利用して形成しうる電気光学装置ならば全てに適用することができる。

【0158】〔実施例13〕本願発明は実施例2、12に示した様な電気光学装置だけでなく、機能回路を集積化した薄膜集積回路（または半導体回路）を構成することもできる。例えば、マイクロプロセッサ等の演算回路や携帯機器用の高周波回路（MMIC：マイクロウェーブ・モジュール・IC）などを構成することもできる。

【0159】さらには、薄膜を用いるTFTの利点を生かして三次元構造の半導体回路を構成し、超高密度に集積化されたVLSI回路を構成することも可能である。この様に、本願発明の半導体薄膜で形成されたTFTを用いて非常に機能性に富んだ半導体回路を構成することが可能である。なお、本明細書中において半導体回路とは半導体特性を利用して電気信号の制御、変換を行う電気回路と定義する。

【0160】〔実施例14〕上記実施例2、12に示さ

れた液晶表示装置には、様々な液晶材料を用いることが可能である。液晶材料としては、例えばTN液晶、PDLC、強誘電性液晶、反強誘電性液晶、強誘電性液晶と反強誘電性液晶の混合物が挙げられる。また、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al. や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al., または米国特許第5594569号に開示された液晶材料を用いることが可能である。

【0161】特に、無しき値反強誘電性液晶材料や、強誘電性液晶材料と反強誘電性液晶材料との混合液晶材料である無しき値反強誘電性混合液晶の中には、その駆動電圧が $\pm 2.5V$ 程度のものも見出されている。このような低電圧駆動の無しき値反強誘電性混合液晶を用いた場合には、ドライバ等の周辺駆動回路の電源電圧を $5\sim 8V$ 程度に抑えることが可能となり、LDDの幅が $0nm\sim 500nm$ または $0\sim 200nm$ のように小さなTFTを用いる場合において有効である。

【0162】ここで、無しき値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示すグラフを図12に示す。なお、液晶表示装置の入射側の偏光板の偏光軸は、液晶表示装置のラビング方向にほぼ一致する無しき値反強誘電性混合液晶のスメクティック層の法線方向にほぼ平行に設定されている。また、出射側の偏光板の偏光軸は、入射側の偏光板の偏光軸に対してはほぼ直角（クロスニコル）に設定されている。このように、無しき値反強誘電性混合液晶を用いると、図12のような印加電圧-透過率特性を示す階調表示を行うことが可能であることがわかる。

【0163】また、一般に無しき値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しき値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しき値反強誘電性混合液晶を用いることが好ましい。また、液晶表示装置の駆動方法を線順次駆動とすることにより、画素への階調電圧の書き込み期間（ピクセルフィールドビオド）を長くし、保持容量が小さくてもそれを補うこともできる。

【0164】なお、無しき値反強誘電性混合液晶を用

いることによって低電圧駆動が実現されるので、液晶表示装置の低消費電力化が実現される。

【0165】〔実施例15〕本実施例では、実施例2、12~14に示された電気光学装置や半導体回路を搭載した電子機器（応用製品）の一例を図13に示す。なお、電子機器とは半導体回路および/または電気光学装置を搭載した製品と定義する。

【0166】本願発明を適用しうる電子機器としてはビデオカメラ、電子スチルカメラ、プロジェクター、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話、PHS等）などが挙げられる。

【0167】図13(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明は音声出力部2002、音声入力部2003、表示装置2004等に適用することができる。

【0168】図13(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明は表示装置2102、音声入力部2103、受像部2106等に適用することができる。

【0169】図13(C)はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明はカメラ部2202、受像部2203、表示装置2205等に適用できる。

【0170】図13(D)はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302に適用することができる。

【0171】図13(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0172】図13(F)はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0173】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、電気光学装置や半導体回路を必要とする製品であれば全てに適用することが可能である。

【0174】

【発明の効果】本願発明を利用することで、酸化シリコ

ンの異常成長の如き問題を生じないプロセスで高い結晶性を有する半導体薄膜を得ることができる。そして、その様な半導体薄膜をTFTの活性層として利用することで、高品質な電気光学装置や半導体回路、さらにはそれらを搭載した電子機器の実現が可能となる。

【図面の簡単な説明】

【図1】 ポリシリコン膜の作製工程を示す図。

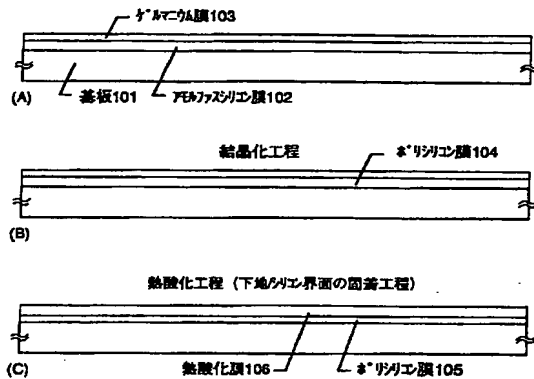
【図2】 TFTの作製工程を示す図。

【図3】 TFTの作製工程を示す図。

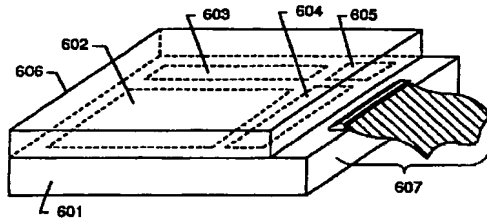
【図4】 酸化シリコンの異常成長を示すSEM写真。

【図5】 下地/シリコン界面の固着工程を説明する*

【図1】



【図6】



601: 基板 602: 保護膜 603: ゲート駆動回路
604: ソース駆動回路 605: ドレイン回路 606: 対向基板
607: FPC

* ための図。

【図6】 アクティブマトリクス型液晶表示装置の構成を示す図。

【図7】 ポリシリコン膜の作製工程を示す図。

【図8】 ポリシリコン膜の作製工程を示す図。

【図9】 ポリシリコン膜の作製工程を示す図。

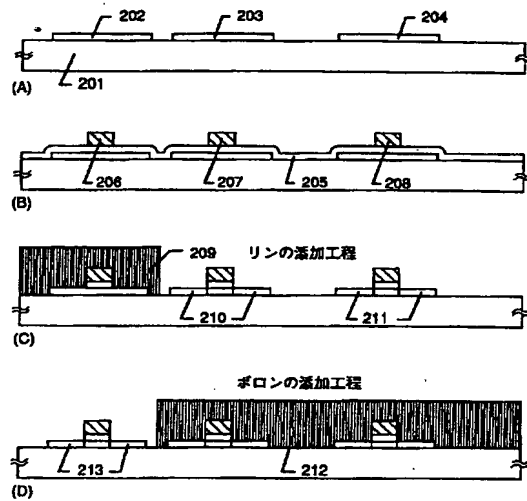
【図10】 ポリシリコン膜の作製工程を示す図。

【図11】 逆スタガTFTの構成を示す図。

【図12】 無しき値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す図。

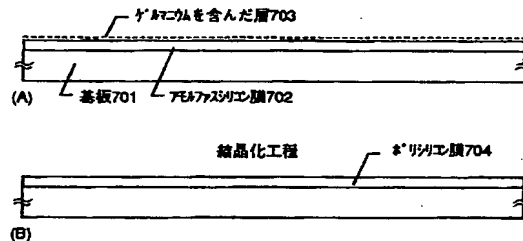
【図13】 電子機器の一例を示す図。

【図2】

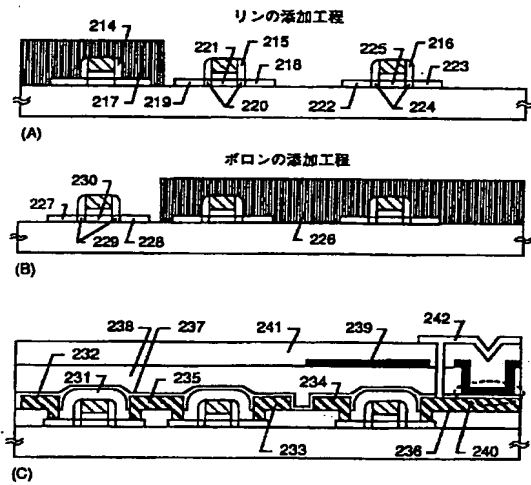


201: 基板 202~204: 活性層 205: ゲート絶縁膜
206~208: ゲート電極 209, 212: レジストマスク
210, 211: 低濃度不純物領域 (リン)
213: 低濃度不純物領域 (ボロン)

【図7】

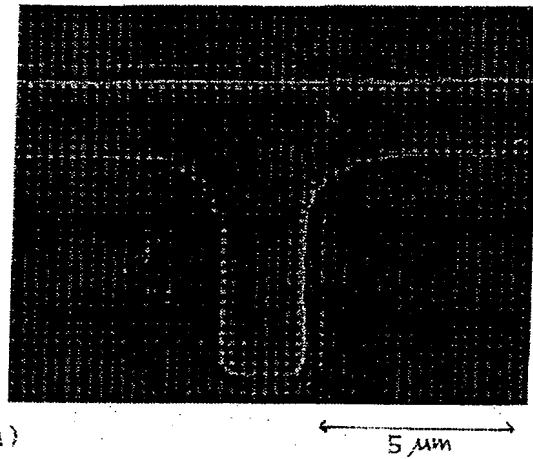


【図3】

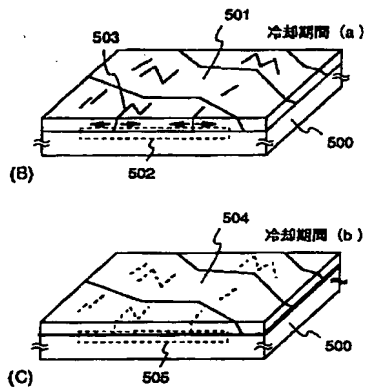
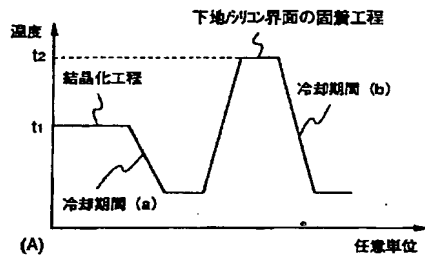


214~216: P⁺領域 217, 228: N⁺領域 218, 222, 227: N⁻領域
 219, 223, 228: P⁻領域 220, 224, 229: 低濃度不純物領域
 221, 225, 230: P⁺形成領域 231: 第1の層間絶縁膜
 232~234: N⁻電極 235, 236: P⁻電極 237: 酸化珪素膜
 238: 有機樹脂膜 239: P⁺ゲート 240: 補助電極
 241: 第3の層間絶縁膜 242: 露出電極

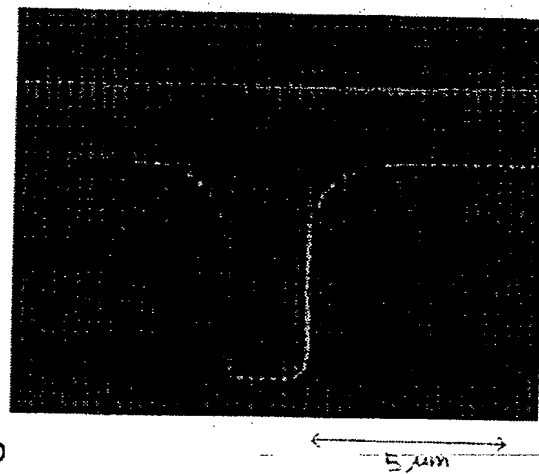
【図4】



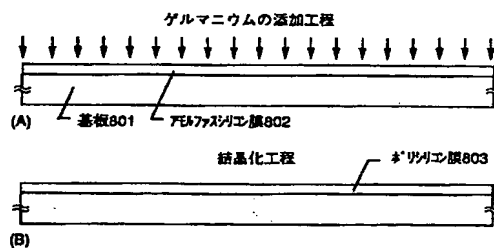
【図5】



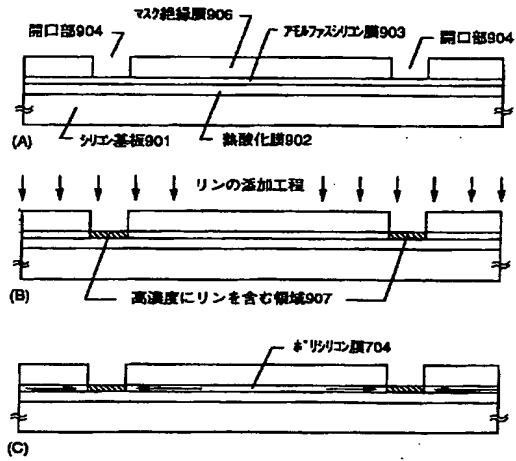
(B)



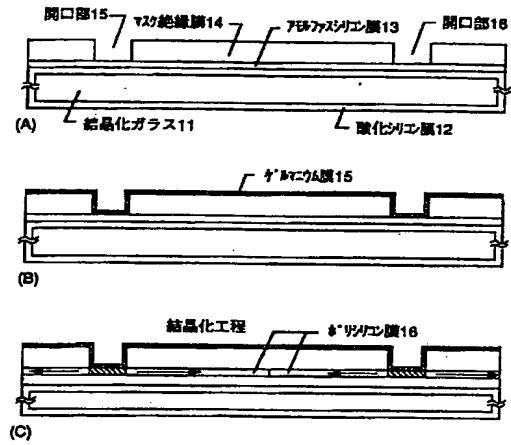
【図8】



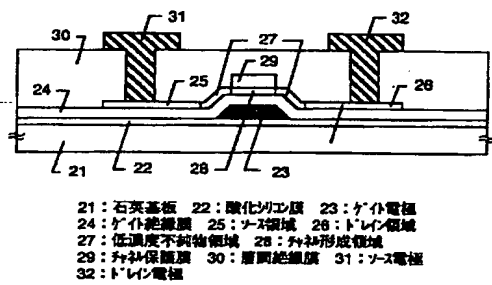
【図9】



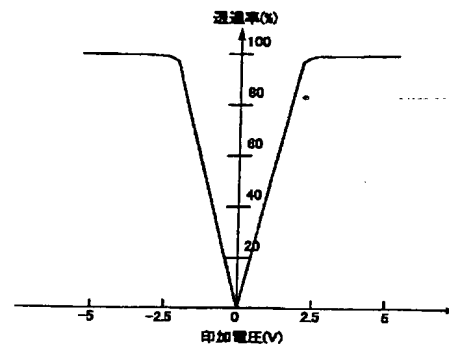
【図10】



【図11】



【図12】



【図13】

